

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-023846

(43)Date of publication of application : 22.01.2004

(51)Int.Cl.

H02M 3/155

H02M 1/08

(21)Application number : 2002-172938

(71)Applicant : ROHM CO LTD

(22)Date of filing : 13.06.2002

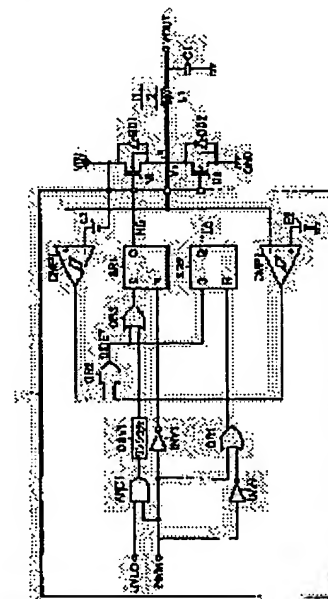
(72)Inventor : UMEMOTO SEIKI  
TAKEMURA KO

## (54) DRIVE APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a drive apparatus capable of preventing simultaneous turning-on of an FET independent of characteristics or kind of an element.

**SOLUTION:** An FET drive apparatus 1 comprises a detecting part (CMP1, CMP2, E1, E2, OR2) which detects on/off state of body diodes BD1 and BD2 that accompany FET N1 and N2 connected in series across different two potentials. At the timing of detecting that the body diodes BD1 and BD2 are turned on, either the FET N1 or N2 is shifted to an on state.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]

The driving gear characterized by to control the ON state of the field-effect transistor of said pair to become an output corresponding to said input signal after detecting that it will have respectively the detection section which detects ON/OFF state of the body diode which accompanies said field-effect transistor respectively in the driving gear which carries out switching control of the field-effect transistor of the pair by which the series connection was carried out among different 2 potentials as a switching device according to an input signal, and either of these body diodes would be in the ON state.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the driving gear which carries out switching control of the field-effect transistor (hereafter referred to as FET [Field Effect Transistor]) of the pair by which the series connection was carried out among different 2 potentials as a switching device.

[0002]

[Description of the Prior Art]

It has FET of the pair by which series connection was carried out, and it changes among different 2 potentials as a switching device for synchronous detection (between input potential and touch-down potential), and the coincidence ON prevention function of both FET is prepared in the FET driving gear which performs switching control of this FET in the synchronous-detection mold DC to DC converter which obtains desired output voltage from the connection node of both FET through an LC filter so that a penetration current may flow to both FET and it may be generated neither in destruction of a component, nor decline in conversion efficiency.

[0003]

In addition, what is necessary is to delay the timing to which one FET changes from an OFF state to an

ON state rather than the timing to which FET of another side changes from an ON state to an OFF state, to generate the coincidence "off" period of both FET, and just to consider as the configuration which switches ON/OFF state of both FET after this coincidence "off" period progress, in order to prevent coincidence ON of both FET. The conventional FET driving gear Therefore, \*\*1 Formation of the delay circuit which consists of CR time constant circuit, two or more inverters, etc., \*\*2 Slice level modification of the triangular wave used for gate voltage generation, \*\*3 The gate armature-voltage control of another side based on the result of having carried out the monitor of one gate voltage, \*\*4 By adopting the technique of the gate armature-voltage control (referring to U.S. Pat. No. 5757173 number) of another side based on the result of having carried out the monitor of an end-winding child electrical potential difference and the gate voltage by the side of [ FET ] a low side, it considered as the configuration which generates the coincidence "off" period of both FET.

[0004]

[Problem(s) to be Solved by the Invention]

To be sure, if it is the FET driving gear which consists of the above-mentioned configuration, a certain extent can prevent coincidence ON of both FET.

[0005]

However, the above-mentioned configuration \*\*1 \*\*2 The adopted FET driving gear had the technical problem used as the candidate for a drive that optimal time setting had to be performed for every FET, in order to have prevented coincidence ON of both FET certainly, since it was the configuration of setting up predetermined coincidence OFF time amount beforehand, without carrying out the monitor of the ON/the OFF state of FET. since the component property and kind of dispersion has been independent of dispersion in IC into which the FET driving gear was built completely especially when [, such as at the time of application to a high current DC to DC converter etc., ] the candidate for a drive is external FET — the big margin to coincidence off time amount — not adding — it did not obtain but decline in conversion efficiency was caused.

[0006]

Moreover, the above-mentioned configuration \*\*3 \*\*4 Since the adopted FET driving gear was a configuration which detects ON/OFF state of FET based on gate voltage, although it was not taken into consideration at all about ON/OFF time delay (time amount after changing gate voltage until output voltage changes) of FET but was carrying out the monitor of the gate voltage, it had the technical problem that optimal time setting had to be performed for every FET after all. In addition, since the above-mentioned ON/OFF time delay varies greatly for every FET, generally let the spec. notation be only a type value (maximum) instead of a merit value. Therefore, even if it set up coincidence off time amount based on this spec. notation, also when decline in conversion efficiency was caused in fact, it was. For example, to the type value 200 [ns], when it was the merit value 30 [ns], coincidence OFF of both FET was vainly carried out between 170[ns] things.

[0007]

Furthermore, above-mentioned \*\*4 The FET driving gear which adopted \*\*\*\*\* functioned effectively, when the coil current which flows at the time of both FET coincidence OFF was the forward direction (from touch-down to an output terminal), but since the body diode incidental to the high side side FET would be in an ON state and an end-winding child electrical potential difference stuck near input voltage when it is the negative direction (from an output terminal to power-source Rhine), it had the technical problem that it did not function effectively. Therefore, it was inapplicable to the DC to DC converter which performs current supply for the loads (supply voltage adjustable [ IC ], DDR-SDRAM [Double Data Rate-Synchronous Dynamic Random Access Memory], etc.) of the specification which changes the direction of a coil current working.

[0008]

This invention aims at offering the driving gear which can prevent coincidence ON of FET certainly, without depending on the property and class of component in view of the above-mentioned trouble.

[0009]

[Means for Solving the Problem]

In order to attain the above-mentioned purpose, the driving gear concerning this invention In the driving gear which carries out switching control of the field-effect transistor of the pair by which the series connection was carried out among different 2 potentials as a switching device according to an input signal It has respectively the detection section which detects ON/OFF state of the body diode which accompanies said field-effect transistor respectively. After detecting that either of these body diodes would be in the ON state, it is considering as the configuration which controls the ON state of the field-effect transistor of said pair to become an output corresponding to said input signal.

[0010]

[Embodiment of the Invention]

Drawing 1 is the circuit diagram showing 1 operation gestalt of the synchronous detection mold DC to DC converter carrying the FET driving gear concerning this invention. As shown in this Fig. the synchronous detection mold DC to DC converter of this operation gestalt The N-channel metal oxide semiconductor field-effect transistors N1 and N2 of the pair by which the series connection was carried out among different 2 potentials as a switching device for synchronous detection (between input potential VIN and the touch-down potential GND) It is the circuit which has (it is hereafter referred to as FETN1 and N2), changes and obtains the desired output voltage VOUT from the connection node of FETN1 and N2 through an LC filter (a coil L1 and capacitor C1).

[0011]

The source of FETN1 is connected to power-source Rhine, and the drain of FETN2 is grounded. The drain of FETN1 and the source of FETN2 are connected mutually, and the connection node a is connected to the end of a coil L1. The other end of a coil L1 is grounded through the capacitor C1, while connecting with an output terminal. In addition, between the source drains of FETN1 and N2 (in fact between backgate drains), the body diodes BD1 and BD2 (it is hereafter called diodes BD1 and BD2) accompany in the direction of illustration.

[0012]

the FET driving gear 1 which performs switching control of FETN1 and N2 — both — it is the configuration of making FETN1 or N2 turning on to the timing which detected this ON state paying attention to either of the diodes BD1 and BD2 (it depending in the direction of a coil current) being in an ON state at the time of coincidence OFF of FETN1 and N2.

[0013]

Speaking concretely, the FET driving gear 1 of this operation gestalt having the SR flip-flops SR1 and SR2, comparators CMP1 and CMP2 (high speed comparator with which this operation gestalt has a hysteresis), direct current voltage supplies E1 and E2, inverters INV1 and INV2, a one shot multivibrator OSV1, and AND circuit AND 1 and OR circuits OR1, OR2, and OR3 of reset priority, and changing.

[0014]

While connecting with the reset terminal (R) of a flip-flop SR 1 through an inverter INV1, direct continuation of the PWM input terminal with which the PWM [Pulse Width Modulation] signal for driving FETN1 and N2 is impressed is carried out also to one input terminal of AND circuit AND 1 and OR circuit OR 1, respectively.

[0015]

The other input terminals of AND circuit AND 1 are connected to the UVLO input terminal with which the UVLO [Under Voltage LockOut] signal for preventing malfunction at the time of a low battery is impressed. The output terminal of AND circuit AND 1 is connected to the input terminal of a one shot multivibrator OSV1. Moreover, the UVLO input terminal is connected to the other input terminals of OR circuit OR 1 through the inverter INV2. The output terminal of OR circuit OR 1 is connected to the reset terminal (R) of a flip-flop SR 2.

[0016]

The non-inversed input terminal (+) of a comparator CMP 1 is connected to the connection node a, and the inversed input terminal (–) is connected to the positive-electrode terminal of direct current voltage supply E1. The negative-electrode terminal of direct current voltage supply E1 is connected to power-source Rhine. In addition, as for the electromotive voltage of direct current voltage supply E1, only the predetermined electrical potential difference alpha (for example, 0.3 [V]) is low set up from the both-ends electrical potential difference Vf (for example, 0.7 [V]) at the time of ON of diode BD 1. That is, in a comparator CMP 1, since the electrical potential difference Va and threshold voltage  $V_{IN} + V_f - \alpha$  of the connection node a will be compared, the ON state of the body diode BD 1 can be detected certainly more quickly.

[0017]

The inversed input terminal (–) of a comparator CMP 2 is connected to the connection node a, and the non-inversed input terminal (+) is connected to the positive-electrode terminal of direct current voltage supply E2. The negative-electrode terminal of direct current voltage supply E2 is grounded. In addition, only the predetermined electrical potential difference alpha is highly set up rather than the electrical-potential-difference value to which the electromotive voltage of direct current voltage supply E2 deducted the both-ends electrical potential difference Vf from the touch-down potential GND at the time of ON of diode BD 2. That is, in a comparator CMP 2, since an electrical potential difference Va will be compared with threshold voltage  $GND - V_f + \alpha$ , the ON state of the body diode BD 2 can be detected certainly more quickly.

[0018]

The output terminal of comparators CMP1 and CMP2 is connected to two input terminals of OR circuit OR 2, respectively. The output terminal of OR circuit OR 2 is connected to the set terminal (S) of a flip-flop SR 2 while connecting with one input terminal of OR circuit OR 3. The other input terminals of OR circuit OR 3 are connected to the output terminal of a one shot multivibrator OSV1, and the output terminal is connected to the set terminal (S) of a flip-flop SR 1. The output terminal (Q) of flip-flops SR1 and SR2 is connected to the gate of FETN1 and N2, respectively.

[0019]

Next, actuation of the FET driving gear 1 which consists of the above-mentioned configuration is explained. Drawing 2 is a timing chart which shows the voltage waveform in FET driving gear 1 each part. in addition, this Fig. (a) — both — a voltage waveform in case the coil current which flows at the time of coincidence OFF of FETN1 and N2 is the forward direction i1 (from touch-down to an output terminal) — — being shown — \*\*\*\* — this Fig. (b) — both — the voltage waveform in case the coil current which flows at the time of coincidence OFF of FETN1 and N2 is negative direction i2 (from an output terminal to power-source Rhine) is shown.

[0020]

When both a UVLO signal and an PWM signal are low level, flip-flops SR1 and SR2 are in the logic fixed condition by the reversal PWM signal and reversal UVLO signal (high-level [ both ]) which were inputted into each reset terminal (R).

[0021]

If the 1st pulse of an PWM signal starts after the current supply to the FET driving gear 1 will be in a steady state and a UVLO signal changes to enabling state (high-level), the output of AND circuit AND 1 will become high-level, and a one shot multivibrator OSV1 will generate the single shot pulse for starting. Therefore, a flip-flop SR 1 sets an output signal HG high-level by making into a trigger the single shot pulse inputted into the set terminal (S) through OR circuit OR 3. At this time, after an output signal HG becomes high-level, only the ON time delay of an FET proper will be in FETN1, and it will be in an ON state. On the other hand, a flip-flop SR 2 is reset by the PWM signal (high-level) inputted into the reset terminal (R), and the output signal LG is maintained by the low level. Therefore, FETN2 serves as as [ OFF state ]. In addition, an electrical potential difference Va starts to input voltage VIN mostly by the above actuation.

[0022]

After that, if an PWM signal falls to a low level, a flip-flop SR 1 will be reset by the reversal PWM signal (high-level) inputted into the reset terminal (R) through the inverter INV1, and the output signal HG will serve as a low level. Therefore, after an output signal HG serves as a low level, only a predetermined off time delay will be in FETN1, it will be in an OFF state, and FETN1 and N2 will be in a coincidence OFF state.

[0023]

If a coil current is the forward direction  $i_1$  at this time, since diode BD 2 will be in an ON state, from the touch-down potential GND, only the both-ends electrical potential difference  $V_f$  descends at the time of ON of diode, and an electrical potential difference  $V_a$  is less than threshold voltage  $GND - V_f + \alpha$  of a comparator CMP 2. Therefore, the output signal of a comparator CMP 2 becomes high-level. On the other hand, if a coil current is negative direction  $i_2$ , since diode BD 1 will be in an ON state, rather than input voltage  $V_{IN}$ , only the both-ends electrical potential difference  $V_f$  rises at the time of ON of diode BD 1, and an electrical potential difference  $V_a$  exceeds threshold voltage  $V_{IN} + V_f - \alpha$  of a comparator CMP 1. Therefore, the output signal of a comparator CMP 1 becomes high-level.

[0024]

as mentioned above, the comparators CMP1 and CMP2 — if one of output signals becomes high-level, the output signal DiDET of OR circuit OR 2 will become high-level. Therefore, a flip-flop SR 2 sets an output signal LG high-level by making into a trigger the output signal DiDET inputted into the set terminal (S). At this time, after an output signal LG becomes high-level, only the ON time delay of an FET proper will be in FETN2, it will be in an ON state, and in response, an output signal DiDET stands on a low level, and returns. On the other hand, since a flip-flop SR 1 is in the logic fixed condition by the reversal PWM signal (high-level) inputted into the reset terminal (R), even if its output signal DiDET inputted into the set terminal is high-level, the output signal HG is maintained by the low level. Therefore, FETN1 serves as as [ OFF state ]. In addition, an electrical potential difference  $V_a$  serves as touch-down potential mostly by the above actuation.

[0025]

After that, if an PWM signal starts high-level, a flip-flop SR 2 will be reset by the PWM signal (high-level) inputted into the reset terminal (R), and the output signal LG will serve as a low level. Therefore, after an output signal LG serves as a low level, only the off time delay of an FET proper will be in FETN2, it will be in an OFF state, and FETN1 and N2 will be in a coincidence OFF state.

[0026]

If a coil current is the forward direction  $i_1$  at this time, an electrical potential difference  $V_a$  will be less than threshold voltage  $GND - V_f + \alpha$  of a comparator CMP 2, and will be set to that output signal being high-level, if a coil current is negative direction  $i_2$ , an electrical potential difference  $V_a$  will exceed threshold voltage  $V_{IN} + V_f - \alpha$  of a comparator CMP 1, and that output signal will become high-level. Therefore, the output signal DiDET of OR circuit OR 2 becomes high-level, and a flip-flop SR 1 sets an output signal HG high-level by making into a trigger the output signal DiDET inputted into the set terminal (S). At this time, after an output signal HG becomes high-level, only the ON time delay of an FET proper will be in FETN1, it will be in an ON state, and in response, an output signal DiDET stands on a low level, and returns. On the other hand, since a flip-flop SR 2 is in the logic fixed condition by the PWM signal (high-level) inputted into the reset terminal (R), even if its output signal DiDET inputted into the set terminal is high-level, the output signal LG is maintained by the low level. Therefore, FETN2 serves as as [ OFF state ]. In addition, an electrical potential difference  $V_a$  turns into input voltage  $V_{IN}$  mostly by the above actuation. Henceforth, the same actuation is repeated.

[0027]

thus, the FET driving gear 1 of this operation gestalt — coincidence “off” period generation of FETN1 and N2 — facing — a predetermined dead time — beforehand — not setting up — both — it is the configuration of making FETN1 or N2 turning on to the timing which detected this ON state paying

attention to either of the diodes BD1 and BD2 being in an ON state at the time of coincidence OFF of FETN1 and N2. even if the spec. of FETN1 and N2 by which external connection is made by considering as such a configuration varies — certain — both — coincidence ON of FETN1 and N2 can be prevented, and it becomes possible to constitute a safe power source.

[0028]

Moreover, in the FET driving gear 1 of this operation gestalt, since the coincidence "off" period of FETN1 and N2 can be held down to necessary minimum, loss with the diodes BD1 and BD2 in this coincidence "off" period is reduced sharply, and it becomes possible to acquire the most efficient transfer characteristic according to FET used as the candidate for a drive.

[0029]

Furthermore, since the coincidence ON prevention function of FETN1 and N2 can be realized without depending in the direction of the coil current which flows at the time of both FET coincidence OFF if it is the FET driving gear 1 of this operation gestalt, it is applicable also to the DC to DC converter which performs current supply for the load of the specification which changes the direction of a coil current working.

[0030]

In addition, although the above-mentioned operation gestalt explained by mentioning as an example the case where the FET driving gear concerning this invention is applied to a synchronous detection mold DC to DC converter, the candidate for application of this invention is not limited to this, and can be widely applied to the driving gear at large which carries out switching control of the field-effect transistor of the pair by which the series connection was carried out among different 2 potentials as a switching device.

[0031]

Moreover, although the above-mentioned operation gestalt explained by mentioning as an example the case where FET used as the candidate for a drive is used [ both ] as an N channel, it cannot be overemphasized that it can be made to drive the optimal by the same principle also about the case where the configuration of this invention is not limited to this and one side or both are set to P channel FET. Moreover, each FET may be formed in the same semiconductor chip as an FET driving gear.

[0032]

In addition, although above-mentioned drawing 2 explained by illustrating only the case where a coil current is changed in the one direction each of positive/negative, when changing this coil current in positive/negative both directions, an electrical potential difference  $V_a$  serves as a wave which combined drawing 2 (a) and (b).

[0033]

[Effect of the Invention]

In the driving gear which carries out switching control of the field-effect transistor of the pair by which the series connection was carried out among 2 potentials from which the driving gear concerning this invention differs as a switching device as described above according to an input signal It has respectively the detection section which detects ON/OFF state of the body diode which accompanies said field-effect transistor respectively. After detecting that either of these body diodes would be in the ON state, it is considering as the configuration which controls the ON state of the field-effect transistor of said pair to become an output corresponding to said input signal. It becomes possible to prevent coincidence ON of both switching devices certainly, without depending on the property and class of component by considering as such a configuration.

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing 1 operation gestalt of the synchronous detection mold DC to DC converter carrying the FET driving gear concerning this invention.

[Drawing 2] It is the timing chart which shows the voltage waveform in FET driving gear 1 each part.

[Description of Notations]

1 FET Driving Gear  
SR1, SR2 SR flip-flop  
CMP1, CMP2 Comparator  
E1, E2 Direct current voltage supply  
INV1, INV2 Inverter  
OSV1 One shot multivibrator  
AND1 AND circuit  
OR1, OR2, OR3 OR circuit  
N1, N2 N-channel metal oxide semiconductor field-effect transistor (FET)  
BD1, BD2 Body diode  
L1 Coil  
C1 Capacitor

---

[Translation done.]

**\* NOTICES \***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing 1 operation gestalt of the synchronous detection mold DC to DC converter carrying the FET driving gear concerning this invention.

[Drawing 2] It is the timing chart which shows the voltage waveform in FET driving gear 1 each part.

[Description of Notations]

1 FET Driving Gear  
SR1, SR2 SR flip-flop  
CMP1, CMP2 Comparator  
E1, E2 Direct current voltage supply  
INV1, INV2 Inverter  
OSV1 One shot multivibrator  
AND1 AND circuit  
OR1, OR2, OR3 OR circuit  
N1, N2 N-channel metal oxide semiconductor field-effect transistor (FET)  
BD1, BD2 Body diode  
L1 Coil  
C1 Capacitor

---

[Translation done.]



(19) 日本国特許庁 (JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-23846

(P2004-23846A)

(43) 公開日 平成16年1月22日 (2004. 1. 22)

(51) Int. Cl.<sup>7</sup>

H02M 3/155

H02M 1/08

F I

H02M 3/155

H02M 1/08

テーマコード (参考)

5H730

5H740

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願2002-172938 (P2002-172938)  
 (22) 出願日 平成14年6月13日 (2002. 6. 13)

(71) 出願人 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2 1 番地  
 (74) 代理人 100085501  
 弁理士 佐野 静夫  
 (72) 発明者 梅本 清貴  
 京都市右京区西院溝崎町2 1 番地 ローム  
 株式会社内  
 (72) 発明者 竹村 興  
 京都市右京区西院溝崎町2 1 番地 ローム  
 株式会社内  
 F ターム (参考) 5H730 AA20 BB13 BB57 DD04 DD12  
 DD32 EE13 FD26 FG05  
 5H740 AA04 BA12 BB01 BC01 BC02  
 GG04 JA01 JA04 JA09 JB01  
 KK01 MM02

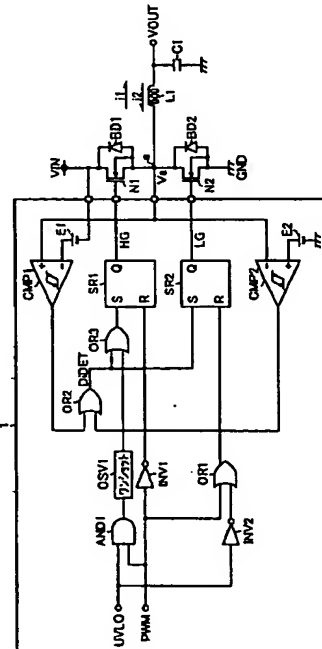
(54) 【発明の名称】 駆動装置

## (57) 【要約】

【課題】 本発明は、素子の特性や種類に依ることなく、確実にFETの同時オンを防止することが可能な駆動装置を提供することを目的とする。

【解決手段】 本発明に係るFET駆動装置1は、異なる2電位間に直列接続されたFETN1、N2に付随するボディダイオードBD1、BD2のオン/オフ状態を検知する検知部 (CMP1、CMP2、E1、E2、OR2) を有し、該ボディダイオードBD1、BD2がオン状態となったことを検知したタイミングでFETN1、N2のいずれか一方をオン状態に移させる構成としている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項1】

スイッチ素子として異なる2電位間に直列接続された一対の電界効果トランジスタを入力信号に応じてスイッチング制御する駆動装置において、前記電界効果トランジスタに各々付随するボディダイオードのオン／オフ状態を検知する検知部を各々有し、該ボディダイオードのいずれかがオン状態となったことを検知してから前記入力信号に対応した出力となるように前記一対の電界効果トランジスタのオン状態を制御することを特徴とする駆動装置。

## 【発明の詳細な説明】

## 【0001】

10

## 【発明の属する技術分野】

本発明は、スイッチ素子として異なる2電位間に直列接続された一対の電界効果トランジスタ（以下、FET〔Field Effect Transistor〕と呼ぶ）をスイッチング制御する駆動装置に関するものである。

## 【0002】

## 【従来の技術】

同期整流用スイッチ素子として異なる2電位間（入力電位・接地電位間）に直列接続された一対のFETを有して成り、両FETの接続ノードからLCフィルタを介して所望の出力電圧を得る同期整流型DC／DCコンバータにおいて、該FETのスイッチング制御を行うFET駆動装置には、両FETに貫通電流が流れて素子の破壊や変換効率の低下が生じないように、両FETの同時オン防止機能が設けられている。

20

## 【0003】

なお、両FETの同時オンを防止するには、一方のFETがオフ状態からオン状態へ遷移するタイミングを他方のFETがオン状態からオフ状態へ遷移するタイミングよりも遅らせて両FETの同時オフ期間を生成し、該同時オフ期間経過後に両FETのオン／オフ状態をスイッチングする構成とすればよい。そのため従来のFET駆動装置は、▲1▼CR時定数回路や複数インバータ等から成る遅延回路の形成、▲2▼ゲート電圧生成に用いる三角波のスライスレベル変更、▲3▼一方のゲート電圧をモニタした結果に基づく他方のゲート電圧制御、▲4▼コイル端子電圧とローサイド側FETのゲート電圧をモニタした結果に基づく他方のゲート電圧制御（米国特許5757173号参照）といった技術を採用することで、両FETの同時オフ期間を生成する構成とされていた。

30

## 【0004】

## 【発明が解決しようとする課題】

確かに、上記構成から成るFET駆動装置であれば、ある程度は両FETの同時オンを防止することが可能である。

## 【0005】

しかしながら、上記した構成▲1▼、▲2▼を採用したFET駆動装置は、FETのオン／オフ状態をモニタすることなく、所定の同時オフ時間を予め設定しておく構成であるため、両FETの同時オンを確実に防止するには、駆動対象となるFET毎に最適な時間設定を行わねばならないという課題を有していた。特に、駆動対象が外付けFETである場合（大電流DC／DCコンバータへの適用時など）には、その素子特性や種類のばらつきがFET駆動装置の組み込まれたICのばらつきと完全に独立しているため、同時オフ時間に大きなマージンを付加せざるを得ず、変換効率の低下が招かれていた。

40

## 【0006】

また、上記した構成▲3▼、▲4▼を採用したFET駆動装置は、ゲート電圧に基づいてFETのオン／オフ状態を検知する構成であるため、FETのオン／オフ遅延時間（ゲート電圧を変化させてから出力電圧が変化するまでの時間）については何ら考慮されておらず、ゲート電圧をモニタしているにも拘わらず、結局FET毎に最適な時間設定を行わねばならないという課題を有していた。なお、上記オン／オフ遅延時間はFET毎に大きくばらつくため、そのスペック表記は一般に実力値ではなく典型値（最大値）のみとされる

50

。そのため、該スペック表記に基づいて同時オフ時間を設定しても、実際には変換効率の低下が招かれている場合もあった。例えば、典型値200[ns]に対して実力値30[ns]であった場合、170[ns]もの間、両FETが無駄に同時オフされていた。

#### 【0007】

さらに、上記▲4▼の構成を採用したFET駆動装置は、両FET同時オフ時に流れるコイル電流が正方向（接地から出力端子）である場合は有効に機能するが、負方向（出力端子から電源ライン）である場合は、ハイサイド側FETに付随したボディダイオードがオン状態となってコイル端子電圧が入力電圧付近に貼り付いてしまうため、有効に機能しないという課題を有していた。そのため、動作中にコイル電流の方向を切り替える仕様の負荷（電源電圧可変ICやDDR-SDRAM[Double Data Rate - Synchronous Dynamic Random Access Memory]など）に電源供給を行うDC/DCコンバータには適用することができなかった。

10

#### 【0008】

本発明は、上記の問題点を鑑み、素子の特性や種類に依ることなく、確実にFETの同時オンを防止することが可能な駆動装置を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明に係る駆動装置は、スイッチ素子として異なる2電位間に直列接続された一对の電界効果トランジスタを入力信号に応じてスイッチング制御する駆動装置において、前記電界効果トランジスタに各々付随するボディダイオードのオン/オフ状態を検知する検知部を各々有し、該ボディダイオードのいずれかがオン状態となったことを検知してから前記入力信号に対応した出力となるように前記一对の電界効果トランジスタのオン状態を制御する構成としている。

20

#### 【0010】

##### 【発明の実施の形態】

図1は本発明に係るFET駆動装置を搭載した同期整流型DC/DCコンバータの一実施形態を示す回路図である。本図に示す通り、本実施形態の同期整流型DC/DCコンバータは、同期整流用スイッチ素子として異なる2電位間（入力電位VIN・接地電位GND間）に直列接続された一对のNチャネルMOS電界効果トランジスタN1、N2（以下、FETN1、N2と呼ぶ）を有して成り、FETN1、N2の接続ノードからLCフィルタ（コイルL1及びコンデンサC1）を介して所望の出力電圧VOUTを得る回路である。

30

#### 【0011】

FETN1のソースは電源ラインに接続されており、FETN2のドレインは接地されている。FETN1のドレインとFETN2のソースは互いに接続されており、その接続ノードaはコイルL1の一端に接続されている。コイルL1の他端は出力端子に接続される一方、コンデンサC1を介して接地されている。なお、FETN1、N2のソース・ドレイン間（実際にはバックゲート・ドレイン間）には、図示の方向でボディダイオードBD1、BD2（以下、ダイオードBD1、BD2と呼ぶ）が付随している。

#### 【0012】

FETN1、N2のスイッチング制御を行うFET駆動装置1は、両FETN1、N2の同時オフ時にダイオードBD1、BD2のいずれか（コイル電流方向に依存）がオン状態となることに着目し、該オン状態を検知したタイミングでFETN1、N2のいずれか一方をオンさせる構成である。

40

#### 【0013】

具体的に言うと、本実施形態のFET駆動装置1は、リセット優先のSRフリップフロップSR1、SR2と、コンパレータCMP1、CMP2（本実施形態はヒステリシスを有するハイスピードコンパレータ）と、直流電圧源E1、E2と、インバータINV1、INV2と、ワンショットバイブレータOSV1と、論理積回路AND1と、論理和回路OR1、OR2、OR3と、を有して成る。

50

## 【0014】

FETN1、N2を駆動するためのPWM[Pulse Width Modulation]信号が印加されるPWM入力端子は、インバータINV1を介してフリップフロップSR1のリセット端子(R)に接続される一方、論理積回路AND1と論理和回路OR1の一入力端子にもそれぞれ直接接続されている。

## 【0015】

論理積回路AND1の他入力端子は、低電圧時の誤動作を防止するためのUVLO[Under Voltage LockOut]信号が印加されるUVLO入力端子に接続されている。論理積回路AND1の出力端子は、ワンショットバイブレータOSV1の入力端子に接続されている。また、UVLO入力端子は、インバータINV2を介して論理和回路OR1の他入力端子に接続されている。論理和回路OR1の出力端子は、フリップフロップSR2のリセット端子(R)に接続されている。

10

## 【0016】

コンパレータCMP1の非反転入力端子(+)は、接続ノードaに接続されており、反転入力端子(-)は、直流電圧源E1の正極端子に接続されている。直流電圧源E1の負極端子は、電源ラインに接続されている。なお、直流電圧源E1の起電圧は、ダイオードBD1のオン時両端電圧Vf(例えば0.7[V])より所定電圧 $\alpha$ (例えば0.3[V])だけ低く設定されている。すなわち、コンパレータCMP1では、接続ノードaの電圧Vaと閾値電圧VIN+Vf- $\alpha$ とが比較されることになるので、ボディダイオードBD1のオン状態をより速く確実に検出できるようになっている。

20

## 【0017】

コンパレータCMP2の反転入力端子(-)は、接続ノードaに接続されており、非反転入力端子(+)は、直流電圧源E2の正極端子に接続されている。直流電圧源E2の負極端子は接地されている。なお、直流電圧源E2の起電圧は、接地電位GNDからダイオードBD2のオン時両端電圧Vfを差し引いた電圧値よりも所定電圧 $\alpha$ だけ高く設定されている。すなわち、コンパレータCMP2では、電圧Vaと閾値電圧GND-Vf+ $\alpha$ とが比較されることになるので、ボディダイオードBD2のオン状態をより速く確実に検出できるようになっている。

## 【0018】

コンパレータCMP1、CMP2の出力端子は、論理和回路OR2の二入力端子にそれぞれ接続されている。論理和回路OR2の出力端子は、論理和回路OR3の一入力端子に接続される一方、フリップフロップSR2のセット端子(S)にも接続されている。論理和回路OR3の他入力端子は、ワンショットバイブレータOSV1の出力端子に接続されており、出力端子はフリップフロップSR1のセット端子(S)に接続されている。フリップフロップSR1、SR2の出力端子(Q)は、FETN1、N2のゲートにそれぞれ接続されている。

30

## 【0019】

次に、上記構成から成るFET駆動装置1の動作について説明する。図2はFET駆動装置1各部における電圧波形を示すタイミングチャートである。なお、本図(a)は、両FETN1、N2の同時オフ時に流れるコイル電流が正方向i1(接地から出力端子)である場合の電圧波形を示しており、本図(b)は、両FETN1、N2の同時オフ時に流れるコイル電流が負方向i2(出力端子から電源ライン)である場合の電圧波形を示している。

40

## 【0020】

UVLO信号及びPWM信号がともにローレベルである場合、フリップフロップSR1、SR2は、各リセット端子(R)に入力された反転PWM信号及び反転UVLO信号(ともにハイレベル)による論理固定状態である。

## 【0021】

FET駆動装置1への電源供給が定常状態となってUVLO信号がイネーブル状態(ハイレベル)に遷移した後に、PWM信号の第1パルスが立ち上がると、論理積回路AND1

50

の出力はハイレベルとなり、ワンショットバイブレータ  $OSV1$  は起動用ワンショットパルス生成する。従って、フリップフロップ  $SR1$  は、論理和回路  $OR3$  を介してセット端子 (S) に入力されたワンショットパルスをトリガとして、出力信号  $HG$  をハイレベルにセットする。このとき、 $FETN1$  は、出力信号  $HG$  がハイレベルとなってから  $FET$  固有のオン遅延時間だけ遅れてオン状態となる。一方、フリップフロップ  $SR2$  は、リセット端子 (R) に入力された  $PWM$  信号 (ハイレベル) によってリセットされ、その出力信号  $LG$  がローレベルに維持される。従って、 $FETN2$  はオフ状態のままとなる。なお、以上の動作により、電圧  $V_a$  はほぼ入力電圧  $V_{IN}$  まで立ち上がる。

#### 【0022】

その後、 $PWM$  信号がローレベルに立ち下がると、フリップフロップ  $SR1$  はインバータ  $INV1$  を介してリセット端子 (R) に入力された反転  $PWM$  信号 (ハイレベル) によってリセットされ、その出力信号  $HG$  がローレベルとなる。従って、 $FETN1$  は、出力信号  $HG$  がローレベルとなってから所定のオフ遅延時間だけ遅れてオフ状態となり、 $FETN1$ 、 $N2$  は同時オフ状態となる。

#### 【0023】

このとき、コイル電流が正方向  $i_1$  であれば、ダイオード  $BD2$  がオン状態となるため、電圧  $V_a$  が接地電位  $GND$  よりもダイオードのオン時両端電圧  $V_f$  だけ降下して、コンパレータ  $CMP2$  の閾値電圧  $GND - V_f + \alpha$  を下回る。従って、コンパレータ  $CMP2$  の出力信号はハイレベルとなる。一方、コイル電流が負方向  $i_2$  であれば、ダイオード  $BD1$  がオン状態となるため、電圧  $V_a$  が入力電圧  $V_{IN}$  よりもダイオード  $BD1$  のオン時両端電圧  $V_f$  だけ上昇して、コンパレータ  $CMP1$  の閾値電圧  $V_{IN} + V_f - \alpha$  を上回る。従って、コンパレータ  $CMP1$  の出力信号はハイレベルとなる。

#### 【0024】

上記のように、コンパレータ  $CMP1$ 、 $CMP2$  いずれかの出力信号がハイレベルになると、論理和回路  $OR2$  の出力信号  $DiDET$  がハイレベルとなる。従って、フリップフロップ  $SR2$  は、セット端子 (S) に入力された出力信号  $DiDET$  をトリガとして、出力信号  $LG$  をハイレベルにセットする。このとき、 $FETN2$  は、出力信号  $LG$  がハイレベルとなってから  $FET$  固有のオン遅延時間だけ遅れてオン状態となり、これを受けて出力信号  $DiDET$  はローレベルに立ち戻る。一方、フリップフロップ  $SR1$  は、リセット端子 (R) に入力された反転  $PWM$  信号 (ハイレベル) による論理固定状態であるため、セット端子に入力された出力信号  $DiDET$  がハイレベルであっても、その出力信号  $HG$  はローレベルに維持される。従って、 $FETN1$  はオフ状態のままとなる。なお、以上の動作により電圧  $V_a$  はほぼ接地電位となる。

#### 【0025】

その後、 $PWM$  信号がハイレベルに立ち上がると、フリップフロップ  $SR2$  は、リセット端子 (R) に入力された  $PWM$  信号 (ハイレベル) によってリセットされ、その出力信号  $LG$  がローレベルとなる。従って、 $FETN2$  は、出力信号  $LG$  がローレベルとなってから  $FET$  固有のオフ遅延時間だけ遅れてオフ状態となり、 $FETN1$ 、 $N2$  は同時オフ状態となる。

#### 【0026】

このとき、コイル電流が正方向  $i_1$  であれば、電圧  $V_a$  がコンパレータ  $CMP2$  の閾値電圧  $GND - V_f + \alpha$  を下回って、その出力信号がハイレベルとなり、コイル電流が負方向  $i_2$  であれば、電圧  $V_a$  がコンパレータ  $CMP1$  の閾値電圧  $V_{IN} + V_f - \alpha$  を上回って、その出力信号がハイレベルとなる。従って、論理和回路  $OR2$  の出力信号  $DiDET$  がハイレベルとなり、フリップフロップ  $SR1$  は、セット端子 (S) に入力された出力信号  $DiDET$  をトリガとして、出力信号  $HG$  をハイレベルにセットする。このとき、 $FETN1$  は、出力信号  $HG$  がハイレベルとなってから  $FET$  固有のオン遅延時間だけ遅れてオン状態となり、これを受けて出力信号  $DiDET$  はローレベルに立ち戻る。一方、フリップフロップ  $SR2$  は、リセット端子 (R) に入力された  $PWM$  信号 (ハイレベル) による論理固定状態であるため、セット端子に入力された出力信号  $DiDET$  がハイレベルであ

10

20

30

40

50

っても、その出力信号LGはローレベルに維持される。従って、FETN2はオフ状態のままとなる。なお、以上の動作により、電圧Vaはほぼ入力電圧VINとなる。以降、同様の動作が繰り返される。

#### 【0027】

このように、本実施形態のFET駆動装置1は、FETN1、N2の同時オフ期間生成に際して所定のデッドタイムを予め設定しておくのではなく、両FETN1、N2の同時オフ時にダイオードBD1、BD2のいずれかがオン状態となることに着目し、該オン状態を検知したタイミングでFETN1、N2のいずれか一方をオンさせる構成である。このような構成とすることにより、外部接続されるFETN1、N2のスペックがばらついて10  
も、確実に両FETN1、N2の同時オンを防止することができ、安全な電源を構成することが可能となる。

#### 【0028】

また、本実施形態のFET駆動装置1では、FETN1、N2の同時オフ期間を必要最小限に抑えることができるので、該同時オフ期間におけるダイオードBD1、BD2での損失を大幅に低減し、駆動対象となるFETに応じて最も効率のよい変換特性を得ることが可能となる。

#### 【0029】

さらに、本実施形態のFET駆動装置1であれば、両FET同時オフ時に流れるコイル電流の方向によることなく、FETN1、N2の同時オン防止機能を実現することができるので、動作中にコイル電流の方向を切り替える仕様の負荷に電源供給を行うDC/DCコンバータにも適用が可能である。20

#### 【0030】

なお、上記実施形態では、本発明に係るFET駆動装置を同期整流型DC/DCコンバータに適用した場合を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、スイッチ素子として異なる2電位間に直列接続された一対の電界効果トランジスタをスイッチング制御する駆動装置全般に広く適用が可能である。

#### 【0031】

また、上記実施形態では、駆動対象となるFETを両方ともNチャネルとした場合を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、一方或いは両方をPチャネルFETとした場合についても、同様の原理で最適に駆動させることができることは言うまでもない。また、各FETをFET駆動装置と同一の半導体チップ内に形成してもよい。30

#### 【0032】

なお、前出の図2では、コイル電流が正負各一方向に変動する場合のみを例示して説明を行ったが、該コイル電流が正負両方向に変動する場合、電圧Vaは、図2(a)、(b)を併せたような波形となる。

#### 【0033】

##### 【発明の効果】

上記した通り、本発明に係る駆動装置は、スイッチ素子として異なる2電位間に直列接続された一対の電界効果トランジスタを入力信号に応じてスイッチング制御する駆動装置において、前記電界効果トランジスタに各々付随するボディダイオードのオン/オフ状態を検知する検知部を各々有し、該ボディダイオードのいずれかがオン状態となったことを検知してから前記入力信号に対応した出力となるように前記一対の電界効果トランジスタのオン状態を制御する構成としている。このような構成とすることにより、素子の特性や種類に依ることなく、確実に両スイッチ素子の同時オンを防止することが可能となる。40

##### 【図面の簡単な説明】

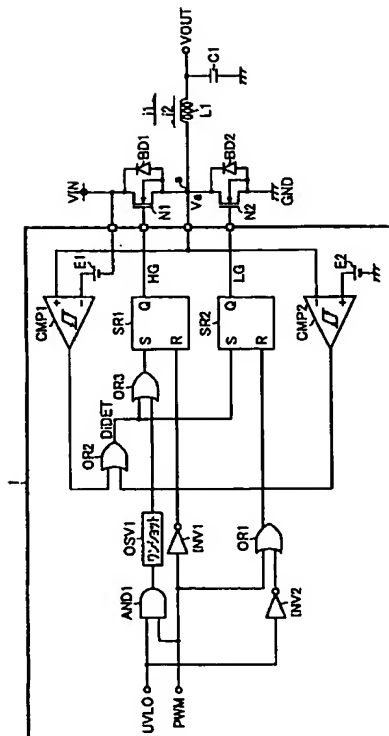
【図1】本発明に係るFET駆動装置を搭載した同期整流型DC/DCコンバータの一実施形態を示す回路図である。

【図2】FET駆動装置1各部における電圧波形を示すタイミングチャートである。

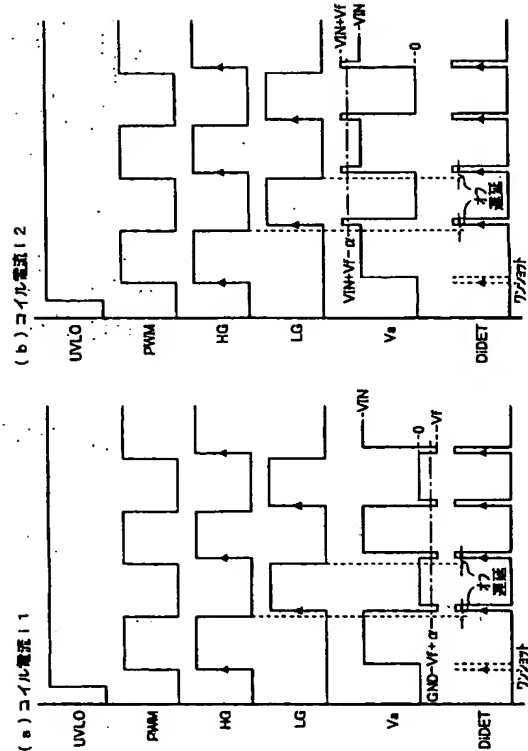
##### 【符号の説明】

- 1 FET駆動装置  
 SR1、SR2 SRフリップフロップ  
 CMP1、CMP2 コンパレータ  
 E1、E2 直流電圧源  
 INV1、INV2 インバータ  
 OSV1 ワンショットバイブレータ  
 AND1 論理積回路  
 OR1、OR2、OR3 論理和回路  
 N1、N2 NチャネルMOS電界効果トランジスタ (FET)  
 BD1、BD2 ボディダイオード  
 L1 コイル  
 C1 コンデンサ

【図1】



【図2】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**